

Original document

LAMINATE INDUCTOR

Publication number: JP2001126924 (A)
Publication date: 2001-05-11
Inventor(s): SUZUKI YASUO; NOYORI YOSHINARI; KITAOKA MIKIO; NAWA TATSUHIKO \pm
Applicant(s): FDK CORP \pm
Classification:
- international: H01F17/00; H01F30/00; H01F17/00; H01F30/00; (IPC1-7): H01F17/00
- European:
Application number: JP19990308484 19991029
Priority number(s): JP19990308484 19991029

[View INPADOC patent family](#)

[View list of citing documents](#)

Abstract of **JP 2001126924 (A)**

[Translate this text](#)

PROBLEM TO BE SOLVED: To provide a laminated inductor in a multiple-coil structure, which is miniaturized and realized with a high L value. SOLUTION: Inside an electrical insulating layer body 2, a coil 5 is formed by alternately laminating electrical insulating layers and conductor patterns and successively connecting the terminal parts of the respective conductor patterns. Then, a laminate inductance 1 is formed by drawing the terminal part of the relevant coil 5 to external electrodes 3 and 4. In this case, the coil 5 is constituted by combining the conductor pattern more than about 3/2 turns per layer and the L-shaped or U-shaped conductor pattern. Furthermore, ceramics patterns for hiding the conductor patterns at laminating are made into two rectangular patterns, covering the half of a laminate surface.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-126924
(P2001-126924A)

(43) 公開日 平成13年5月11日(2001.5.11)

(51) Int.Cl. ⁷	識別記号	F I	データベース*(参考)
H 0 1 F 17/00		H 0 1 F 17/00	D 5 E 0 7 0
30/00		15/14	

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平11-308484

(22) 出願日 平成11年10月29日(1999.10.29)

(71) 出願人 00023/721

エフ・ディ・ケー株式会社
東京都港区新橋5丁目36番11号

(72) 発明者 鈴木 靖生

東京都港区新橋5丁目36番11号 富士電気
化学株式会社内

(72) 発明者 野寄 佳成

東京都港区新橋5丁目36番11号 富士電気
化学株式会社内

(74) 代理人 10006/046

弁理士 尾股 行雄

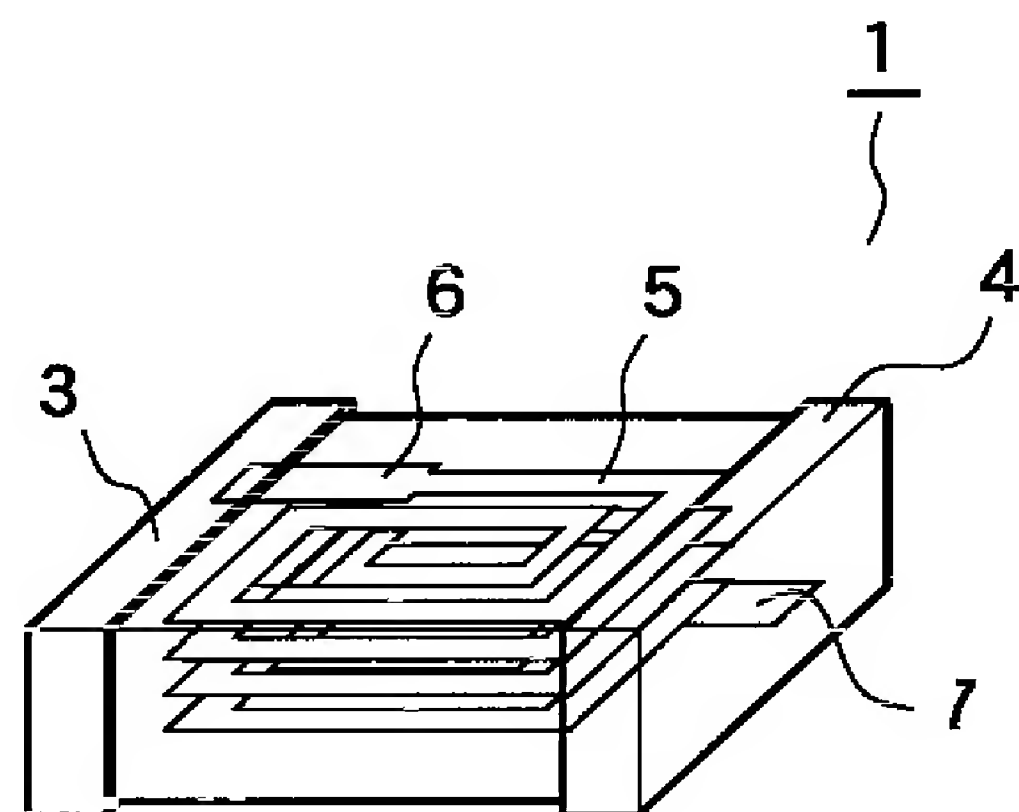
最終頁に続く

(54) 【発明の名称】 積層インダクタ

(57) 【要約】

【課題】 小型で且つ高L値を実現した多重コイル構造の積層インダクタを提供する。

【解決手段】 電気絶縁層と導体パターンを交互に積層し、各導体パターンの端部を順次接続して電気絶縁層体2中にコイル5を形成する。そして、当該コイル5の端部を外部電極3、4に引き出して積層インダクタンス1を形成する。ここで、前記コイル3は一層当たり約3/2ターン以上の導体パターンとL字形あるいはU字形の導体パターンの組み合わせで構成した。さらには、積層時に導体パターンを隠すセラミックスパターンを積層面の半面を覆う二つの矩形パターンとした。



【特許請求の範囲】

【請求項1】 電気絶縁体と導体パターンが交互に積層され、各導体パターンの端部が順次接続されて電気絶縁層体(2)中に積層方向に重畳したコイル(5)が形成された積層インダクタ(1)において、

前記コイル(5)は、約3/2ターン以上の導体パターンとL字形あるいはU字形導体パターンの組み合わせで成る多重コイル構造であることを特徴とする積層インダクタ。

【請求項2】 前記導体パターンを積層する際に当該導体パターンを隠す電気絶縁パターンは、積層面の半面を覆う矩形状とすることを特徴とする請求項1に記載の積層インダクタ。

【請求項3】 積層方向に隣接する導体パターン同士が重ならないよう、各層における導体パターンの形成位置をずらして成ることを特徴とする請求項1または請求項2の何れかに記載の積層インダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信機器等の高周波回路基板に使用される表面実装用の積層インダクタに関し、特に、小型で高L値を実現した多重コイル構造の積層インダクタに関するものである。

【0002】

【従来の技術】従来、積層インダクタにおけるコイル構造は、図9に示すように1層当たり1ターンが一般的で、これが間に電気絶縁体を介して所定ターン数になるまで積層される。近年、電子部品の軽薄短小化に合わせて、上記積層インダクタンス1においても、超小型化・高L値の実現が不可欠となってきた。

【0003】ここで、コイル5のインダクタンス(L値)は、総ターン数の2乗に比例するから、高L値を実現するにはターン数を多くすることが必須であり、一層中に1ターン以上のコイルパターンを形成した多重構造のコイル(図9は二重コイル構造の場合)が各種提案されており、その代表的な技術として特開平3-34407号公報や特開平9-330818号公報等が挙げられる。

【0004】

【発明が解決しようとする課題】図10に示すように、上記開示技術は二重コイルパターン101の接続が電気絶縁層102に形成した小さな窓枠状の貫通孔103を介して行われるもので、上下コイルの接続が比較的容易であることから、少ない積層数で高L値を実現できる方法とされている。しかしながら、係る方法は大型のチップの場合には良いが、1005タイプ(1.0mm×0.5mm×0.5mm)以下の小型チップになると貫通孔103のサイズが0.2mm×0.2mm以下になるため、印刷ダレやしみ等によって安定形状の窓枠が形成できないという欠点があり、このような超小型のチッ

プの作製には適用困難であった。

【0005】また、別の開示技術として特開平3-4507号公報が開示されているが、この開示技術は、積層時にコイルパターンを隠す絶縁パターン(セラミックスパターン)が3つ必要となるため、印刷が複雑になってしまう。安定した印刷を行うにはコイルパターンはともかくセラミックスパターンについては単純な形状が望ましく、微細な形状では平坦性が損なわれるため精度の高い印刷は不可能である。従って、0603タイプ(0.6mm×0.3mm×0.3mm)のような超小型サイズの場合、この方法は不向きである。

【0006】本発明は、上記問題に鑑みて成されたもので、約3/2ターン以上の導体パターンとL字形あるいはU字形導体パターンの組み合わせで多重構造のコイルを形成することにより、小型・高L値を実現した積層インダクタを提供することを目的としている。

【0007】

【課題を解決するための手段】すなわち、請求項1に記載の本発明では、電気絶縁体と導体パターンが交互に積層され、各導体パターンの端部が順次接続されて電気絶縁層体(2)中に積層方向に重畳したコイル(3)が形成された積層インダクタ(1)において、前記コイル(5)は、約3/2ターン以上の導体パターンとL字形あるいはU字形導体パターンの組み合わせで構成した。

【0008】例えば、二重コイルの場合、図2に示す約3/2ターンの上下コイル用の導体パターン21, 22を使用し、これらをL字形導体パターン23, 24(もしくは、U字形導体パターン25, 26)で接続するといった構造である。ここで、約3/2ターンとしたのは、コイルを多重構造とする目的で、一層中のターン数を1ターンより少々多く形成するという意味であって、3/2ターン以下であっても構わない。

【0009】また、請求項2に記載の本発明では、前記導体パターンを積層する際に当該導体パターンを隠す電気絶縁パターンは、積層面の半面を覆う矩形状とした。

【0010】例えば、図3に示すように、導体を隠す電気絶縁パターンは大きさの異なる2つの長方形パターン31, 32を用いることができる。これらは従来の窓枠状と違って極めて単純な形であるから、チップが小型化されてもパターン形成は容易、且つ安定して行えるものである。

【0011】さらに、請求項3に記載の本発明では、積層方向に隣接する導体パターン同士が重ならないよう、各層における導体パターンの形成位置をずらして構成した。

【0012】電気絶縁層を介した上下導体パターンの形成位置は、図4(c)に示すように、下層の周回する導体パターン41の間に上層の導体パターン42が形成されるようにすると好適である。図4(a)は、周回する導体パターンの内、横パターンが極力重ならないように

した例、一方、図4(b)は、縦・横パターンの何れもが重ならないようにした例であって、この構造が最も望ましいとされる。

【0013】上記構造により、隣り合う導体パターン間の浮遊容量が減少し共振周波数をより高くすることができる。尚、このようなズレ構造を従来の1ターンコイルの積層で実現するのは難しいが、本発明のような多重コイル構造であれば比較的容易に行えるものである。

【0014】

【発明の実施の形態】以下、図面により本発明の実施形態を説明する。尚、説明を簡略化するため、以下の説明において従来と共通する部分については同一の符号を用いた。

【0015】図1は本発明に係る積層インダクタンスの内部構造を示す斜視図である。図1に示すように、積層インダクタンス1は電気絶縁層体2より成る直方体状の積層チップで、その両端に外部接続用の外部電極3、4が形成されている。この電気絶縁層体2の内部に二重構造の周回コイル5が形成されており、その両端がそれぞれ引出導体6、7により前記外部電極3、4に接続されている。本発明では、前記周回コイル5を構成する一層当たりのコイルパターンが約3/2ターン以上の導体パターンとL字形あるいはU字形の導体パターンの組み合わせで構成される点に特徴を有している。

【0016】次に、前記積層インダクタ1の製造方法を説明する。層内コイルの形成方法としてシート積層法や印刷積層方法等が可能であるが、ここでは後者の印刷積層方法により説明する。

【0017】先ず、セラミックス系の電気絶縁素材として、ガラスを添加して焼結化した誘電体セラミックスを使用した。ここでは、アルミナにホウケイ酸ガラスを混合した誘電体材料を使用し、これに、ビヒクルとしてエチルセルロースと分散剤、可塑剤を混合したものを配合し、混合して印刷用のセラミックスペーストを作製した。また、導体用として銀を用い、これに前記ビヒクルを混合して導体ペーストを作製した。

【0018】図6に示す工程図は約3/2ターンの導体パターンとL字形導体パターンの組み合わせにより二重コイルを形成する例である。

【0019】先ず、図6(a)に示すように、誘電体セラミックス61を繰り返し印刷して所定厚の電気絶縁層を形成する。

【0020】次に、図6(b)に示すように、この電気絶縁層上に導体パターン62を印刷し、図1に示す外部電極4とコイル5を接続するための引出導体7を形成する。

【0021】次に、図6(c)に示すように、約3/2ターンの導体パターン63を導体パターン62と接続するようにして印刷する。この際、図示のように導体パターン62の幅を導体パターン63の幅より太くしておく

とパターン同士の接続性を向上でき、ひいては外部電極4への接続性を高めることができる。

【0022】次に、図6(d)に示すように、導体パターン63の一部を隠すように積層面の左面に長方形のセラミックスパターン64を印刷し、図6(e)に示すように、その上に導体パターン63の露出終端部と接続するL字型導体パターン65を印刷する。

【0023】次に、図6(f)に示すように、前記導体パターン65をI字形に残して他の導体部分を隠すように積層面の右面に長方形のセラミックスパターン66を印刷し、図6(g)で、その上に導体パターン65の一端と接続するように前記導体パターン63と対象形の約3/2ターンの導体パターン67を印刷する。

【0024】次に、図6(h)に示すように、左面にセラミックスパターン68を印刷し、図(i)で導体パターン67の露出終端部と接続するようにL字パターン69を印刷する。

【0025】次に、図6(j)に示すように、右面にセラミックスパターン70を印刷し、図6(k)で、L字型パターン69の一端と接続するように前記導体パターン63と同形の導体パターン71を印刷する。以下、同じ要領にて図6(l)～図6(r)の工程を所定回数繰り返す。これで周回コイル5が形成される。

【0026】次に、図6(s)に示すように、L字形導体パターン73と接続するように導体パターン74を印刷し、外部電極3とコイル5のもう一端を接続する引出導体6を形成する。

【0027】最後に、図6(t)に示すように、所定の厚みになるまで誘電体セラミックス75を繰り返し印刷する。尚、実際の工程では、上記コイル5が多数併設された多数個取りの積層ブロックとして作製されるので、上記工程の後、積層ブロックをチップ単位に切断し、焼成、角取りの後、チップ両端に外部電極3、4を形成して焼き付け、更にメッキ処理を施して図1に示すような積層インダクタ1が完成する。

【0028】このように、本実施形態では、1層中に二重コイルを形成する際、導体パターンの一部を隠すためのセラミックスパターンを大きさの異なる二つの矩形パターンに分け、平らで歪みのない大きなセラミックスパターン上に二重コイルの多くの部分を印刷すると共に、小さい方のセラミックスパターン上に形状の単純なL字型のパターンを印刷することにより、複雑なコイルパターンを安定して印刷できるようにした。これにより、上下コイルの接続も容易になり、精度の高い多重構造のコイルを形成することができ、従来行われていた窓枠方式では実現困難であった、例えば1005タイプ以下の超小型チップの作製が可能となる。

【0029】次に、図7、図8にコイル形成の別の方法を示す。何れも、前記実施形態同様、印刷積層方法による二重コイル構造の場合である。尚、(j)以降は同じ

工程の繰り返しであるため図示は省略してある。

【0030】図7に示す実施形態は、約5/3ターンの導体パターン73、75とL字型導体パターン74、76の組み合わせである。ここでは、導体パターンを隠す左右のセラミックパターン72、77をそれぞれ積層面の約半分の大きさにしている。セラミックパターンを同じ大きさにすることにより、スクリーンのパターンバランスが向上し印刷が安定する。尚、導体パターン71は引出導体用パターンである。

【0031】図8に示す実施形態は、約3/2ターンの導体パターン82、85とU字型導体パターン84、86との組み合わせである。この場合も、セラミックパターン83と87はそれぞれ同じ大きさである。この実施形態で図7と相違するところは、上下接続用の導体パターンをU字型とした点である。U字型とすると、導体パターン82、85との接続がセラミックパターン83と87の境目で行われるようになり、導体接続部の膨らみがセラミック段差部のへこみで吸収されるので、コイルが滑らかに形成できるというメリットがある。導体パターン81は引出導体用パターンである。

【0032】以上、本発明の実施形態を説明したが、適応されるコイル構造は二重コイルに限定されるものではない。

【0033】ところで、周回コイル形成の際、図4に示すように上下層のコイルパターン同士が重ならないよう各層毎にコイル形成位置をずらすことにより上下隣接パターン間の浮遊容量を減少させることができる。図4(a)は、周回する導体パターンの内、横パターンが極力重ならないようにした例、図4(b)は縦・横パターンが極力重ならないようにした例である。隣接する導体パターン間の浮遊容量を減少させることにより共振周波数をより高くすることができる。

【0034】このように、上下隣接するコイルパターンの積層位置を変える場合は、間に介在するセラミックペーストの粘度を下げ、ペーストが導体間に十分には入り込むようにすると良い。セラミックペーストは二回以上繰り返し印刷して印刷面を平坦にすることが精度上重要である。本発明のような多重コイル構造であれば比較的容易に行えるものである。また、コイル間を埋めるパターンを印刷しても良い。

【0035】ここで、本発明と従来のコイル構造を比較してみると、多重コイル構造の積層インダクタは従来の1ターンコイル構造の積層インダクタに比べて同じL値を少ない積層数で実現することができる。図5(a)は、従来型のコイル構造、図5(b)は上記した本発明のコイル構造を示している。一層当たりを多重コイル構造とすることにより、コイル5をチップ上下方向の中央に寄せて形成することがでる。これにより、コイル5と外部電極3、4との距離を十分確保できるから、コイルと外部電極間の浮遊容量が減少し、更には既述したコイ

ルパターン間の浮遊容量の低減効果と合わせて共振周波数のより一層の高周波化を図ることができる。また、所定のL値を得るためのコイル形成工程数を少なくできるため、コストダウンを図れる。

【0036】

【発明の効果】以上説明したように、本発明によれば、1層中に多重コイルを形成する場合、導体を隠すセラミックパターンを二つの矩形パターンに分け、大きい方のセラミックパターン上に約3/2ターン以上の導体パターンを形成し、小さい方のセラミックパターン上に形状の単純なL字形またはU字形の接続パターンを形成することにより、上下コイルの接続も容易となり、且つ複雑な多重構造の周回コイルを安定して形成することができる。これにより、従来方式では実現困難であった1005タイプ以下の超小型チップの作製が可能となる。また、多重コイル構造の積層インダクタは従来の1ターンコイル構造の積層インダクタに比べて同じL値を少ない積層数で実現できるため、コイルと外部電極間の距離が確保でき、浮遊容量が減少する。その結果、共振周波数の高周波化を図れる。さらには、従来方式に比べてコイルの形成工程数を少なくできるため、コストダウンを図れる。

【0037】また、本発明によれば、導体パターンを形成する際、上下隣接するコイルパターン同士が重ならないよう各層毎にコイル形成位置をずらすことにより、パターン間の浮遊容量を減少させることができ、共振周波数をより高くすることができる。このようなずらし構造を従来の1ターンコイル構造で実現するのは難しいが、本発明の多重コイル構造であれば比較的容易に行えるものである。

【図面の簡単な説明】

【図1】本発明に係る積層インダクタの内部構造を示す斜視図である。

【図2】導体パターンの形状を示す図である。

【図3】セラミックパターンの形状を示す図である。

【図4】導体パターンの積層配置を示す図で、(a)、(b)は平透視図、(c)はパターンの切断面を示す図である。

【図5】コイルの形成位置を示す積層インダクタの側断面図で、(a)は従来型、(b)は本発明を示す。

【図6】図1に示す積層インダクタのコイル形成方法を示す図である。

【図7】図6とは別のコイル形成方法を示す図である。

【図8】図7とは別のコイル形成方法を示す図である。

【図9】従来の積層インダクタの内部構造を示す斜視図である。

【図10】従来方法による多重コイルの上下接続方法を示す図である。

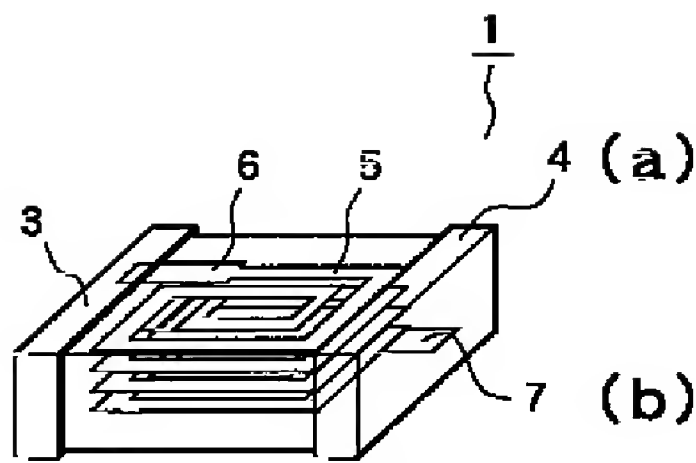
【符号の説明】

1 積層インダクタ

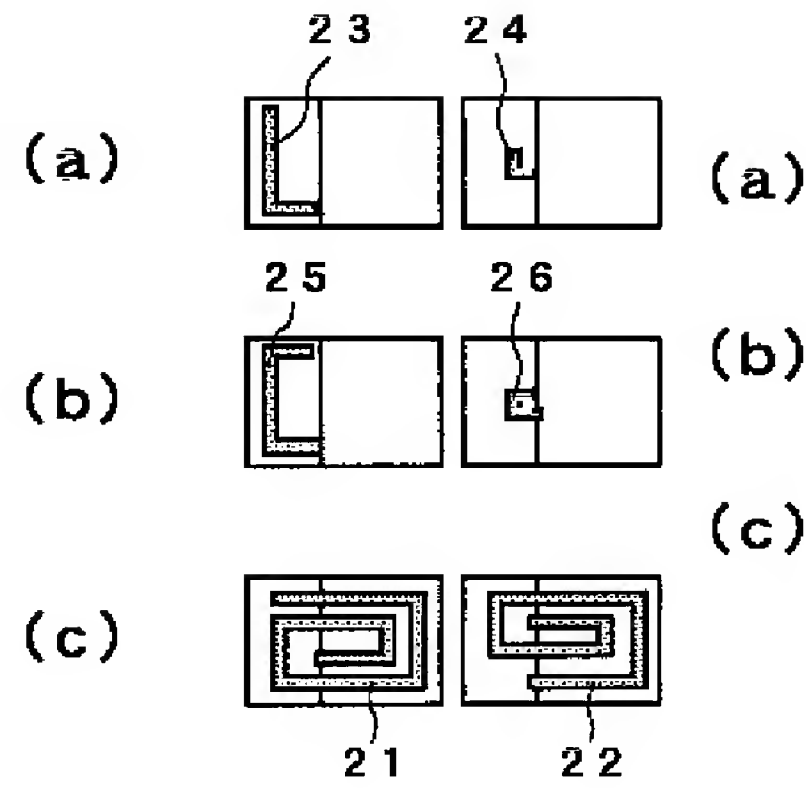
2 電気絶縁層体
3、4 外部電極

5 コイル

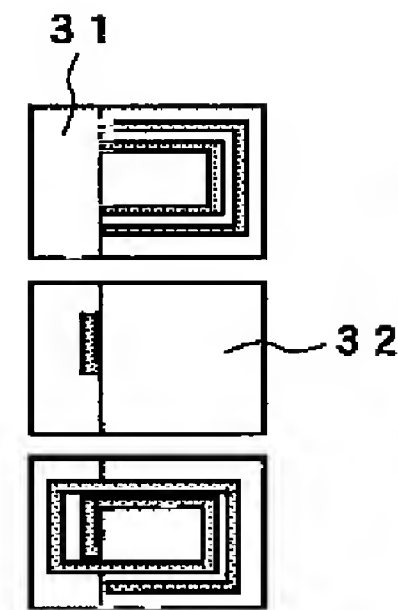
【図1】



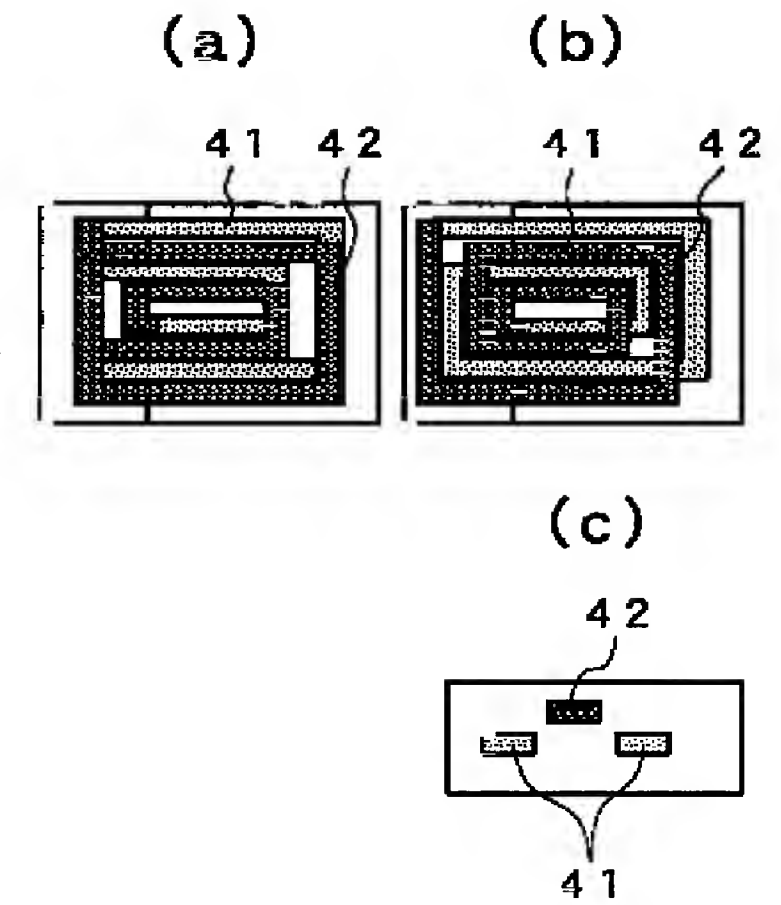
【図2】



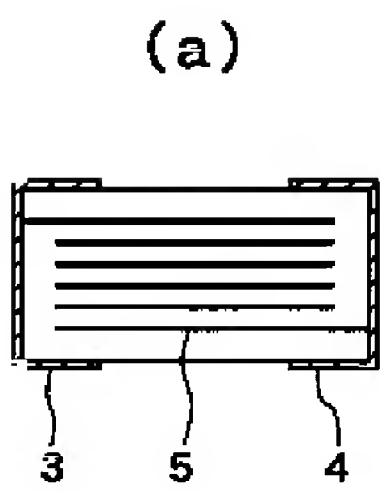
【図3】



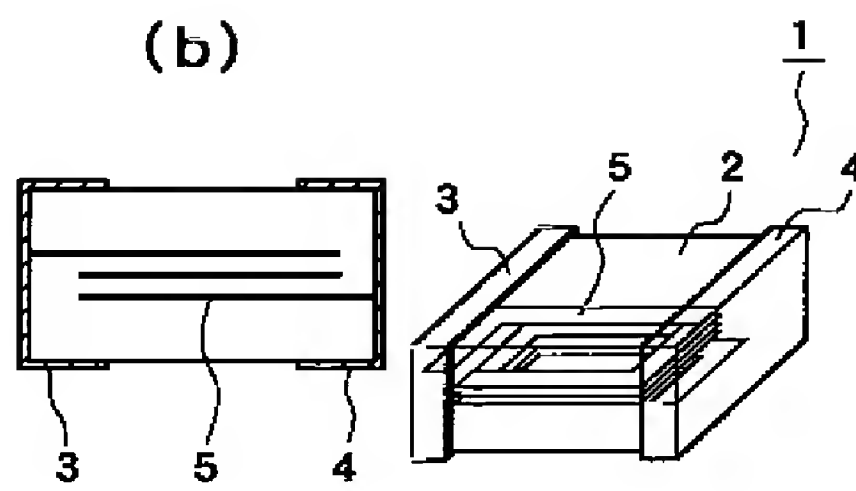
【図4】



【図5】

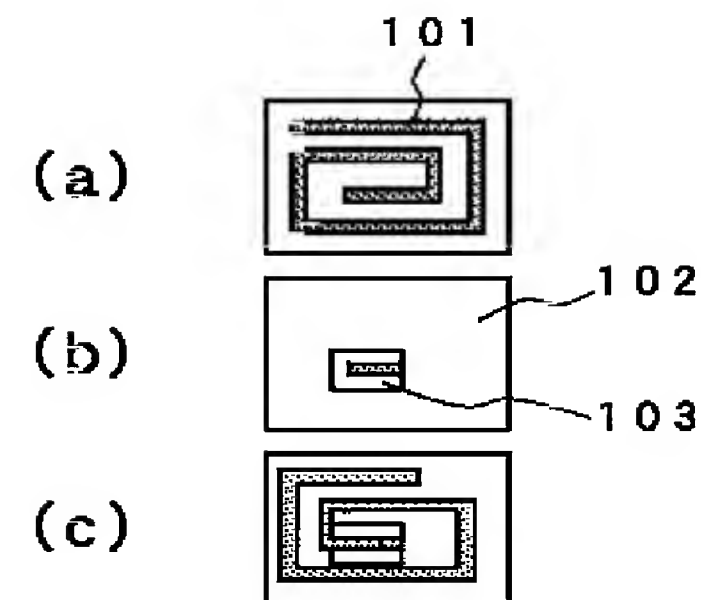


(b)

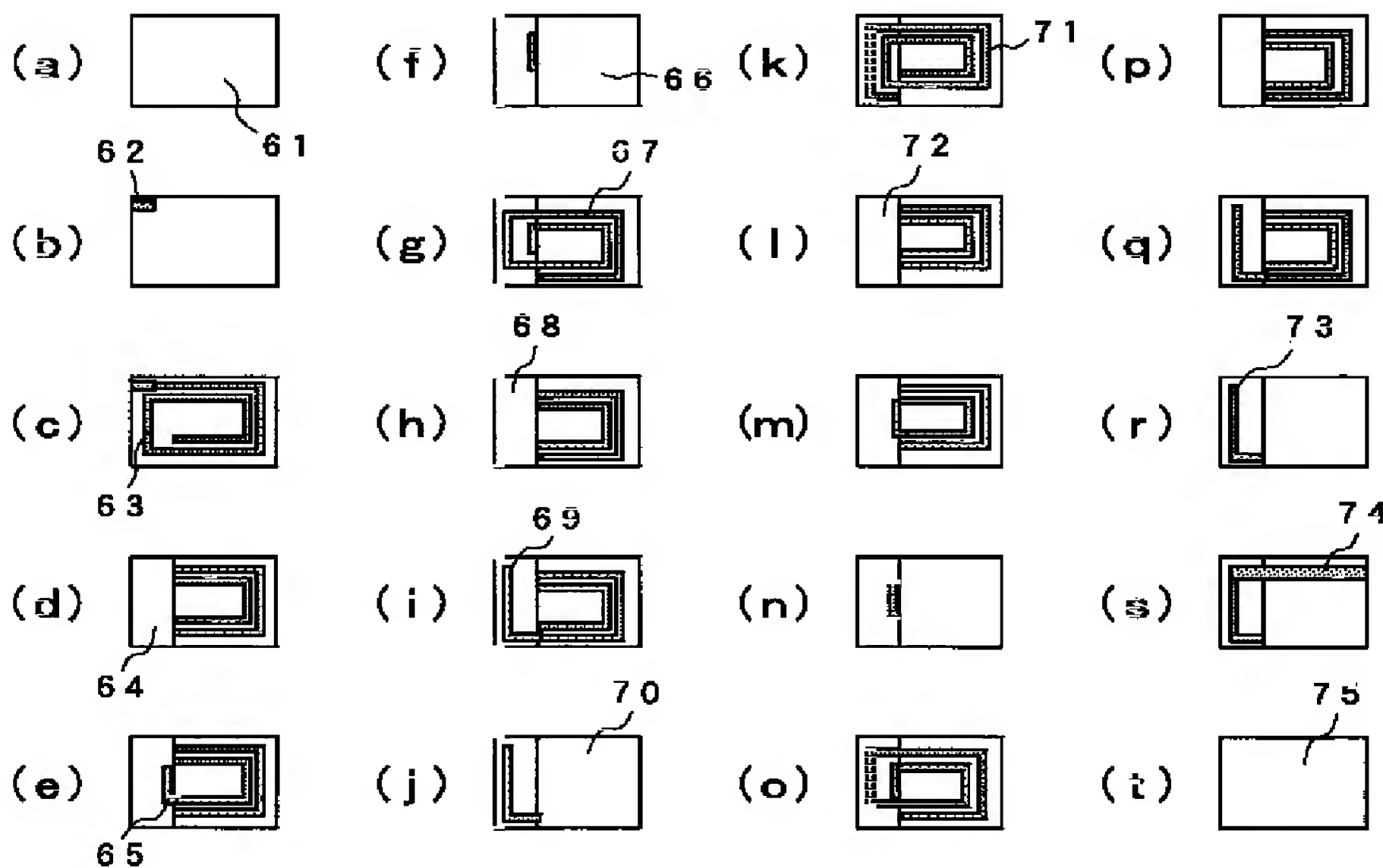


【図9】

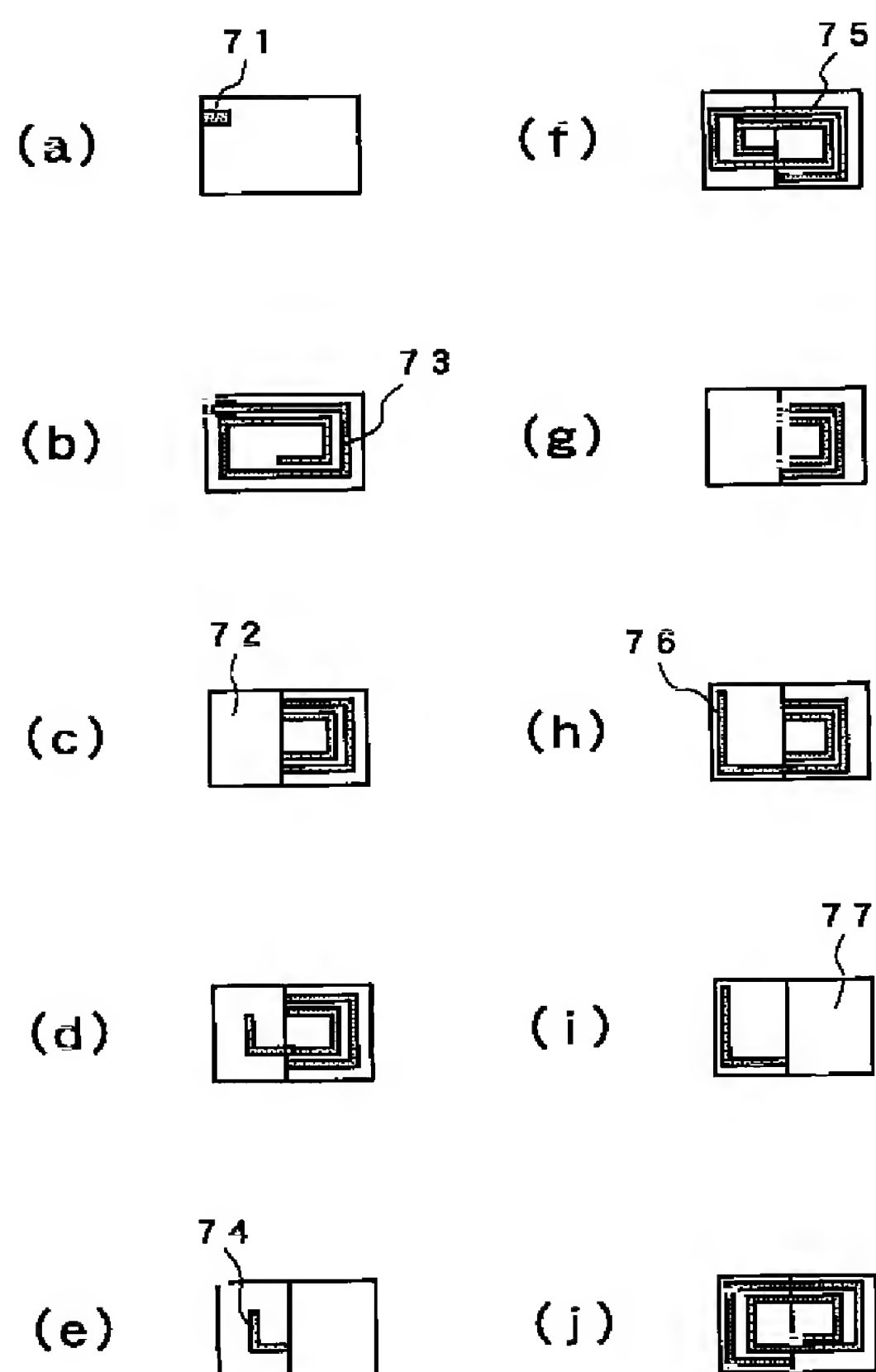
【図10】



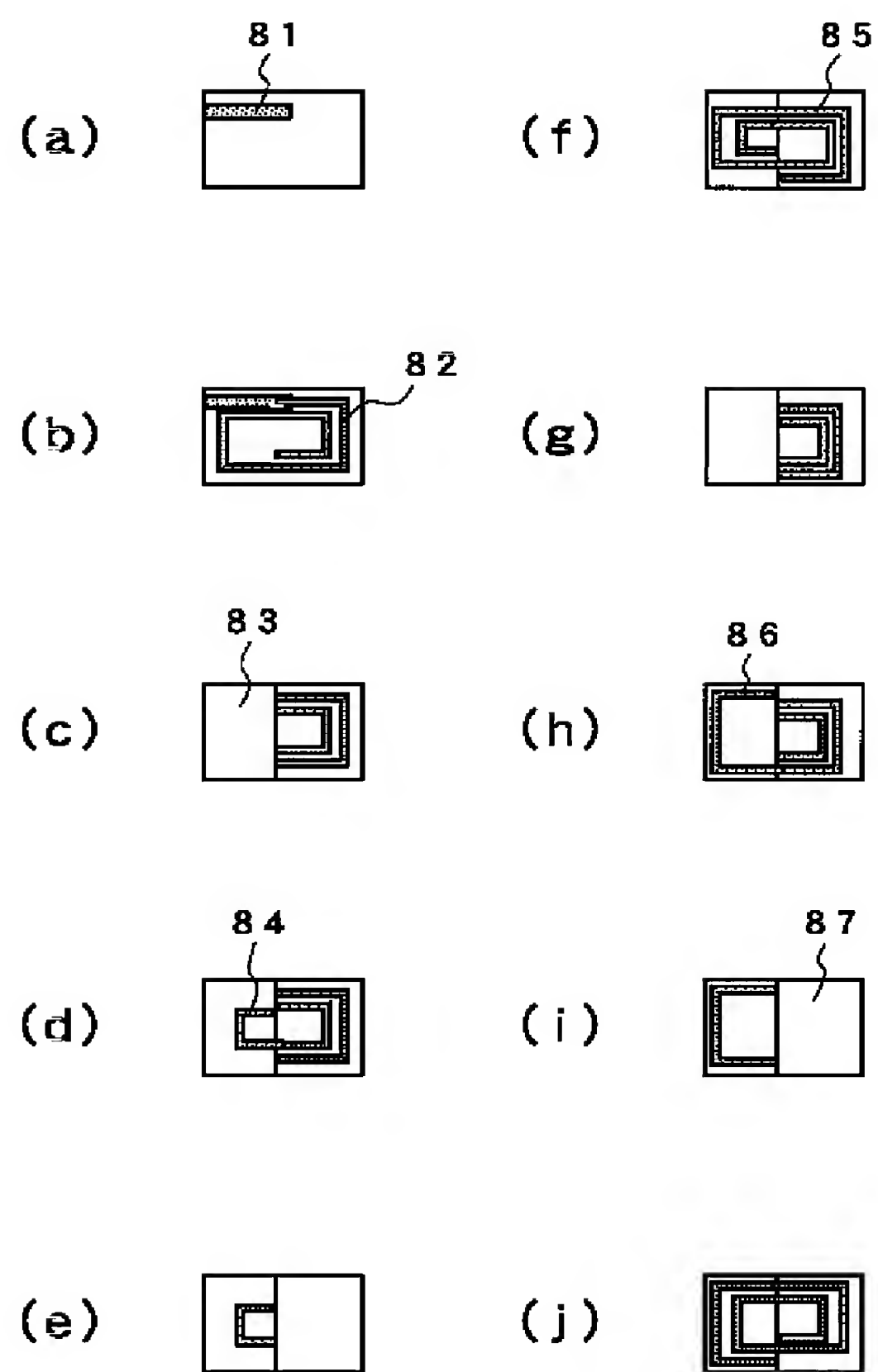
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 北岡 幹雄
東京都港区新橋5丁目36番11号 富士電気
化学株式会社内

(72)発明者 名和 達彦
東京都港区新橋5丁目36番11号 富士電気
化学株式会社内

Fターム(参考) 5E070 AA01 AB01 AB04 CB04 CB13
CB20